

IN THE U.S. PATENT AND TRADEMARK OFFICE

RS
2

1002, U.S. PTO
09/780358
02/12/01

Applicant(s): KIM, Gang-Ho

Application No.:

Group:

Filed: February 12, 2001

Examiner:

For: REAL/COMPLEX DUAL COMBINATION CHANNEL EQUALIZER

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

February 12, 2001
0630-1239P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2000/6664	02/12/00

A certified copy of the above-noted application(s) is(are) attached hereto. Also enclosed are the verified English translation(s) of the above-noted priority application(s).

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: Thomas S. Auchterlonie #37275

TERRY L. CLARK
Reg. No. 32,644
P. O. Box 747
Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/rr

09780358-021200

Kim, Gang-ito
Buiang 12, 2001
Biran Stewart, Kolasch, Kuch
(703) 205-8000
0630-1239P
181



10621 U.S. PTO
09/780358
02/12/01

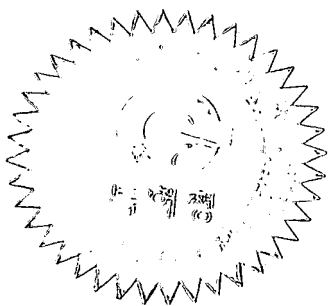
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 6664 호
Application Number

출원 년 월 일 : 2000년 02월 12일
Date of Application

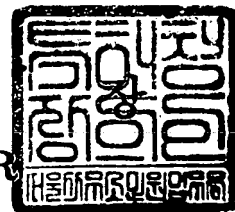
출원인 : 엘지전자 주식회사
Applicant(s)



2000 년 09 월 19 일

특 허 청

COMMISSIONER



1020000006664

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.02.12
【국제특허분류】	H04N 5/00
【발명의 명칭】	리얼 및 콤플렉스 겸용 채널 등화기
【발명의 영문명칭】	REAL AND COMPLEX COMPATIBLE CHANNEL EQUALIZER
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-001894-1
【발명자】	
【성명의 국문표기】	김강호
【성명의 영문표기】	KIM, Gang Ho
【주민등록번호】	630704-1029719
【우편번호】	139-200
【주소】	서울특별시 노원구 상계동 주공아파트 401동 304호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	2 항 173,000 원
【합계】	202,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 리얼 및 콤플렉스 겸용 채널 등화기에 관한 것으로, 일반적으로 채널 등화기는 근접 고스트뿐만 아니라 먼 고스트까지도 상쇄를 해야하기 때문에 많은 필터 탭수를 필요로 하여 수신기의 구성이 복잡해지게 되는데, 종래와 같이 리얼과 콤플렉스 채널 등화기를 독립적으로 설계하게 될 경우 수신기의 구성은 더욱 복잡해지게 되는 문제점이 있었다. 따라서, 본 발명은 I 데이터와 Q 데이터를 선택적으로 입력받아 출력하는 채널 선택부와; 상기 채널 선택부에서 출력된 I 데이터 또는 Q 데이터에 탭 계수를 곱하여 출력하는 계수 연산부와; 상기 계수 연산부를 통해 전송된 주신호에 대한 선행 간섭 잡음을 제거하는 앞먹임 필터 출력부와; 부호 결정부의 출력 신호에 대한 후행 간섭 신호를 생성하는 I 결정 지향 필터부와; 상기 앞먹임 필터 출력부와 I 결정 지향 필터부의 차이값을 연산하는 감산기와; 상기 감산기의 출력에서 리얼 결정 데이터와 에러를 출력하는 리얼 슬라이서부와; 상기 감산기의 출력에서 콤플레스 I 결정 데이터와 에러를 출력하는 콤플렉스 I 슬라이서부와; 상기 계수 연산부의 출력 신호에 대한 콤플렉스 Q 결정 데이터와 에러를 출력하는 콤플렉스 Q 슬라이서부를 포함하여 구성함으로써 리얼과 콤플렉스 채널 등화기의 구성자원을 최대한 공유하여 복잡도를 최소화할 수 있는 효과가 있다.

【대표도】

도 4

1020000006664

【명세서】

【발명의 명칭】

리얼 및 콤플렉스 겸용 채널 등화기{REAL AND COMPLEX COMPATIBLE CHANNEL
EQUALIZER}

【도면의 간단한 설명】

도1은 일반적인 리얼 채널 등화기의 구성을 보인 블록도.

도2는 일반적인 콤플렉스 채널 등화기의 구성을 보인 블록도.

도3은 상기 도3의 콤플렉스 채널 등화기의 탭 계수 갱신부의 구성을 보인 블록도.

도4는 본 발명에 의한 리얼 및 콤플렉스 겸용 채널 등화기의 구성을 보인 블록도.

도5는 상기 도4의 채널 등화기의 탭 계수 갱신부의 구성을 보인 블록도.

도면의 주요 부분에 대한 부호의 설명

210 : 채널 선택부	220 : 계수 연산부
230 : 앞먹임 필터 출력부	240 : 리얼 슬라이서부
250 : 콤플렉스 I 슬라이서부	260 : 콤플렉스 Q 슬라이서부
273 : I 결정 지향 필터부	274 : 감산기
310 : 채널 선택부	320~350 : 제1~4 탭계수 출력부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 채널 등화 기술에 관한 것으로, 특히 리얼 채널 등화기와 콤플렉스 채널 등화기를 겸용으로 사용할 수 있도록 하는 리얼 및 콤플렉스 겸용 채널 등화기에 관한 것이다.
- <13> 일반적으로 채널 등화기는 고화질 티브이와 같은 디지털 전송 시스템에서 송신 신호가 다중 경로를 통과하면서 발생하는 왜곡을 보상함으로써 비트 검출 오류를 감소시키는 역할을 수행한다.
- <14> 특히, 왜곡된 신호에 잡음이 더해지면 송신된 신호를 정확히 복원하기가 어려워지고, 신호 레벨이 증가할수록 에러가 발생할 확률은 점점 높아지기 때문에 이러한 신호 왜곡을 보상하여 에러가 발생할 확률을 줄이기 위하여 수신단에서는 채널 등화기를 사용한다.
- <15> 이러한 채널 등화기는 지상 VSB 전송에서는 원하는 신호를 실수(real) 채널에만 실어서 전송하기 때문에 도1에 도시된 바와 같은 리얼(real) 채널 등화기를 사용하고, 케이블 QAM 전송에서는 원하는 신호를 실수부와 허수부에 각각 실어서 전송하기 때문에 도2와 같은 콤플렉스(complex)채널 등화기를 사용하고 있다.
- <16> 그런데, 현재의 추세는 지상파나 케이블 전용이 아닌 두 전송 방식에서 모두 동작할 수 있는 수신기를 필요로 하고 있기 때문에 채널 등화기도 두 전송 방식을 모두 지원할 수 있어야 한다.
- <17> 그럼, 먼저 도1에 도시된 리얼 채널 등화기와 도2에 도시된 콤플렉스 채널 등화기에 대

해 각각 그 구성 및 동작에 대해서 설명한다.

<18> 도1은 종래 리얼 채널 등화기의 구성을 개략적으로 보인 블록도로서, 이에 도시된 바와 같이 디지털 입력 데이터(Input Data)를 순차적으로 지연시키는 지연부(10)와; 상기 입력 데이터와 지연부(10)의 각 출력에 탭 계수(Coef)를 각기 곱하는 곱셈부(11)와; 상기 곱셈부(1)의 출력을 합산하여 출력하는 덧셈부(12)와; 상기 덧셈부(12)의 출력과 결정 지향 필터부(14)의 출력을 합산하여 등화 데이터를 출력하는 덧셈기(13)와; 상기 덧셈기(13)의 출력에서 결정 데이터를 출력하는 결정부(15)와; 상기 결정부(15)의 출력과 상기 덧셈기(13)의 출력의 차를 구하여 에러값을 출력하는 감산기(16)와; 상기 감산기(16)의 에러값과 결정부(15)의 출력을 입력받아 결정 지향 필터링하여 출력하는 결정 지향 필터부(14)와; 상기 감산기(16)의 에러값에 입력 데이터의 지연값을 곱하여 스텝 크기를 출력하는 곱셈기(17)와; 상기 스텝 크기에 의해 탭 계수를 갱신하는 덧셈기(18)로 구성한다.

<19> 도2는 종래 콤플렉스 채널 등화기의 구성을 개략적으로 보인 블록도로서, 도1의 리얼 채널 등화기와는 구성상의 큰 차이점은 허수부에 대한 연산 부분이 더 추가되었다는 것이다.

<20> 즉, 각각 실수 및 허수 데이터(Real, Imag Data)를 순차적으로 지연시키는 지연부(21, 28)와; 상기 입력 데이터와 지연부(21, 28)의 각 출력에 실수 탭 계수(Real Coef)와 허수 탭 계수(Imag Coef)를 각기 곱하여 합산 출력하는 연산부((24,30),(23,29))와; 상기 각 연산부((22,29),(23,30))의 출력을 합산하여 출력하는 덧셈부(24,31)와; 상기 덧셈부(24,31)의 출력과 실수 및 허수 결정 지향 필터부(27,34)의 출력을 합산하여 등화 데이터를 출력하는 덧셈기(25,32)와; 상기 덧셈기(25,32)의 출력에서 결정 데이터 및 에러값

을 출력하는 결정부(26,33)와; 상기 결정부(26,33)에서 출력된 에러값과 결정값을 입력 받아 결정 지향 필터링하여 출력하는 결정 지향 필터부(27,34)로 구성된다.

<21> 다음, 도3은 상기 콤플렉스 채널 등화기의 탭 계수 갱신부의 구성을 보인 블록도로서, 상기 결정부(26,33)의 에러값에 실수 및 허수 데이터의 입력값을 곱하는 곱셈기(51,52,56,57)와; 상기 각 곱셈기((51,56),(52,57))을 출력을 합산하는 덧셈기(53,54)와; 상기 덧셈기(53,54)에서 출력된 값에 스텝 크기에 의한 각 실수 및 허수 데이터의 탭 계수를 갱신하는 덧셈기(55,60)를 포함하여 구성된 것으로, 상기 콤플렉스 채널 등화기는 리얼 채널 등화기와 그 동작에 있어서 큰 차이가 없으므로 리얼 채널 등화기의 동작에 대해서 설명한다.

<22> 일단, 디지털 데이터가 입력됨에 따라 지연부(10)는 탭수 만큼의 지연기를 순차적으로 통해 지연하여 각각의 지연신호를 곱셈부(11)에 출력하게 된다.

<23> 이때 곱셈부는 디지털 입력 데이터와 지연부의 각 지연 신호에 탭 계수를 곱하면 덧셈기(12)가 상기 곱셈부(11)의 출력을 합산하여 출력하게 된다.

<24> 이에 따라 결정부(15)는 덧셈기의 출력을 입력으로 하여 결정된 데이터를 출력하게 된다.

<25> 또한, 감산기가 덧셈기의 출력과 검출기의 출력의 차를 구하여 에러값을 산출하면 곱셈기가 스텝 크기를 곱하여 곱셈부에 출력하게 된다.

<26> 그런데, 채널 등화기는 근접 고스트뿐만 아니라 먼 고스트까지도 상쇄를 해야하기 때문에 많은 필터 탭수를 필요로 하여 수신기의 구성이 복잡해지게 된다. 여기에 리얼과 컴

1020000006664

플렉스 채널 등화기를 독립적으로 설계할 경우 수신기의 구성은 더욱 복잡해지게 되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창출한 것으로, 리얼과 컴플렉스 채널 등화기의 구성자원을 최대한 공유하여 복잡도를 최소화할 수 있도록 하는 리얼 및 컴플렉스 겸용 채널 등화기를 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<28> 이와 같은 목적을 달성하기 위한 본 발명은, I 데이터와 Q 데이터를 선택적으로 입력받아 출력하는 채널 선택부와; 상기 채널 선택부에서 출력된 I 데이터 또는 Q 데이터에 탭 계수를 곱하여 출력하는 계수 연산부와; 상기 계수 연산부를 통해 전송된 주신호에 대한 선행 간섭 잡음을 제거하는 앞먹임 필터 출력부와; 부호 결정부의 출력 신호에 대한 후행 간섭 신호를 생성하는 I 결정 지향 필터부와; 상기 앞먹임 필터 출력부와 I 결정 지향 필터부의 차이값을 연산하는 감산기와; 상기 감산기의 출력에서 리얼 결정 데이터와 에러를 출력하는 리얼 슬라이서부와; 상기 감산기의 출력에서 컴플렉스 I 결정 데이터와 에러를 출력하는 컴플렉스 I 슬라이서부와; 상기 계수 연산부의 출력 신호에 대한 컴플렉스 Q 결정 데이터와 에러를 출력하는 컴플렉스 Q 슬라이서부를 포함하여 구성한 것을 특징으로 한다.

<29> 이하, 본 발명에 따른 일실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다

<30> 일반적으로, 리얼 채널 등화기에서는 각 단의 필터 출력을 계산하는데 1탭의 필터가 필

1020000006664

요하지만 콤플렉스인 경우에는 4탭의 필터가 필요하다.

<31> 따라서, 리얼로 동작하는 경우 각 단에서 3탭의 필터는 사용할 수 없게 되며 리얼 채널 등화기를 지상방송용으로 사용하는 경우 다중채널(Multipath)의 영향에 의해 케이블의 경우에 비해 더 먼 고스트가 발생하게 되는데, 이것을 처리하기 위해서는 더 많은 단의 필터가 필요하게 된다.

<32> 따라서, 각각의 필터를 쓰는 경우보다 복잡도가 상당히 증가하게 되기 때문에 본 발명에서는 콤플렉스 채널 등화기의 1단의 4탭 필터를 사용할 수 있도록 하고, 리얼인 경우에는 4단의 1탭 필터로 사용할 수 있도록 도2에 예시된 콤플렉스 필터에 멀티플렉서(mux)를 추가시켜서 복잡도를 최대한 억제시켰다.

<33> 도4는 본 발명에 의한 리얼/컴플렉스 겸용 채널 등화기의 구성을 보인 블록도로서, 이에 도시한 바와 같이 모드에 따라 I 데이터와 Q 데이터를 선택적으로 입력받아 출력하는 채널 선택부(210)와; 상기 채널 선택부(210)에서 출력된 I 데이터 또는 Q 데이터에 탭 계수를 곱하여 출력하는 계수 연산부(220)와; 상기 계수 연산부(220)를 통해 전송된 주신호에 대한 선행 간섭 잡음을 제거하는 앞먹임 필터 출력부(230)와; 부호 결정부(203)의 출력 신호에 대한 후행 간섭 신호를 생성하는 I 결정 지향 필터부(273)와; 상기 앞먹임 필터 출력부(230)와 I 결정 지향 필터부(273)의 차이값을 연산하는 감산기(274)와; 상기 감산기(274)의 출력에서 리얼 결정 데이터와 에러를 출력하는 리얼 슬라이서부(240)와; 상기 감산기(274)의 출력에서 컴플렉스 I 결정 데이터와 에러를 출력하는 콤플렉스 I 슬라이서부(250)와; 상기 계수 연산부(220)의 출력 신호에 대한 콤플렉스 Q 결정 데이터와 에러를 출력하는 콤플렉스 Q 슬라이서부(260)로 구성한다.

<34> 다음, 도5는 본 발명에 의한 탭 계수 갱신부의 구성을 보인 블록도로서, 이에 도시한 바

와 같이 I 데이터와 Q 데이터를 입력받아 리얼 또는 콤플렉스 모드로 동작할 경우에 심볼 데이터를 선택적으로 출력하는 채널 선택부(310)와; 리얼로 동작할 경우 실수 에러(I Error)를 입력받아 상기 채널 선택부(310)에서 출력된 실수 데이터(I data)와의 연산에 의해 제1,2 탭 계수를 출력하고, 콤플렉스로 동작할 경우 실수 데이터(I data)와 허수 에러(Q Error)가 연산된 값에서 허수 데이터(Q data)와 실수 에러(I Error)가 연산된 값을 감산하여 탭 계수를 출력하는 제1,2 탭계수 출력부(320,330)와; 리얼로 동작할 경우에 실수 에러(I Error)와 실수 데이터(I data)와의 연산에 의해 제3,4 탭 계수를 출력하고, 콤플렉스로 동작할 경우 실수 데이터(I data)와 실수 에러(I Error)가 연산된 값과 허수 데이터(Q data)와 허수 에러(Q Error)가 연산된 값을 합산하여 탭 계수를 출력하는 제3,4 탭계수 출력부(340,350)로 구성한 것으로, 그 동작을 설명하면 다음과 같다.

<35> 일단, 리얼 채널 등화기로 동작할 경우를 설명하면 리얼 채널 등화기의 계수 갱신과 필터 출력식은 다음 수학식 1, 2와 같다.

<36> 【수학식 1】

$$C_{k+1} = C_k + \mu E_k D_k$$

<37> 여기서, C_{k+1} 는 다음 시간의 등화기의 필터탭의 계수,

<38> C_k 는 현재시간의 필터탭의 계수,

<39> μ 는 스텝 사이즈,

<40> E_k 는 현재 시간의 등화기의 에러값,

<41> D_k 는 현재시간의 필터탭에 저장된 데이터이다.

1020000006664

<42> 【수학식 2】

$$Y(n) = \sum_k D_k C_k$$

<43> 여기서, $Y(n)$ 은 필터출력,<44> D_k 는 필터탭에 저장된 데이터,<45> C_k 는 필터탭의 계수이다.

<46> 리얼 채널 등화기에서는 모든 신호가 I 채널에 실려 오기 때문에 모드선택 신호

(ModeSel)에 따라 채널 선택부(210)의 멀티플렉서(211~213)에는 각각 지연기(D)를 통해 1심볼, 2심볼, 3심볼 지연된 리얼 데이터(I data)가 입력된다.

<47> 상기 리얼 데이터들은 탭 계수 갱신부(도5에 도시)에서 출력된 계수(I Coef, Q Coef)와 곱해져서 상호간의 덧셈이나 뺄셈이 이루어지는데, 리얼 데이터(I data)인 경우 덧셈기(226)에서 덧셈이 수행된다.

<48> 즉, 계수 연산부(220)의 덧셈기(225, 226)의 출력(Q Filter Output, I Filter Output)은 리얼 채널 등화기에서는 실제로 모두 리얼 데이터이기 때문에 앞먹임 필터 출력부(230)의 멀티플렉서(232)에서는 덧셈기(231)를 통해 상기 두값을 합한 값이 선택되고, 감산기(274)를 통해 상기 앞먹임 필터부의 출력값에서 I 결정 지향 필터부(273)의 출력값을 뺀 값이 최종 필터 출력이 된다.

<49> 다음, 상기 필터의 출력값은 리얼 슬라이서부(240)와 콤플렉스 I 슬라이서부(250)로 각각 입력되어 들어가서 리얼 결정 데이터와 에러, 그리고 콤플렉스 I 결정 데이터와 에러를 각각 발생시킨다.

<50> 이에 따라, 멀티플렉서(271)에서는 리얼 슬라이서부(240)에서 리얼 에러를 선택해서 이

1020000006664

값을 탭 계수 갱신부(도5에 도시)와 I 결정 지향 필터부(273)로 출력하고, 멀티플렉서

(272)에서는 리얼 결정 데이터를 선택하여 I 결정 지향 필터부(273)로 출력한다.

<51> 한편, 도5에 도시한 탭 계수 갱신부는 채널 선택부(310)의 멀티플렉서(311~313)에 지연
기(D)를 통해 지연된 1심볼, 2심볼, 3심볼 리얼 데이터를 입력받아 출력하고, 멀티플렉
서(361)를 통해 도4의 멀티플렉서(271)에서 출력된 실수 에러(I Error)를 제1 탭계수 출
력부(320)에 출력하여 그 탭 계수 출력단(Q Coef1)을 통해 제1 탭 계수를 출력한다.

<52> 또한, 상기 멀티플렉서(361)의 출력은 제2 탭계수 출력부(330)에도 입력되어 상기 채널
선택부(310)에서 지연된 실수 데이터(I data)와의 연산에 의해 탭 계수 출력단(Q Coef2)
을 통해 제2 탭 계수를 출력한다.

<53> 마찬가지로 과정에 의해 실수 데이터와 실수 에러를 연산하여 다음 출력단(I Coef1, I
Coef2)을 통해 제3,4 탭 계수를 출력하게 된다.

<54> 다음, 콤플렉스 채널 등화기로 동작할 경우의 계수 갱신과 필터 출력식은 다음 수학적
식 3, 4와 같다.

<55> 【수학적 식 3】

$$C_{k+1} = (C_k^I + \mu(D_k^I E_k^Q + D_k^Q E_k^I)) + j(C_k^Q + \mu(D_k^Q E_k^Q - D_k^I E_k^I))$$

<56> 여기서, C_{k+1} 는 다음 시간의 등화기의 필터탭의 계수,

<57> C_k^I 는 현재 시간의 등화기의 I필터탭의 계수,

<58> C_k^Q 는 현재 시간의 등화기의 Q필터탭의 계수,

<59> μ 는 스텝사이즈,

<60> E_k^I 는 현재 시간의 등화기의 I에러값,

<61> E_k^Q 는 현재 시간의 등화기의 Q에러값,

<62> D_k^I 는 현재 시간의 등화기의 I필터탭에 저장된 데이터,

<63> D_k^Q 는 현재 시간의 등화기의 Q필터탭에 저장된 데이터이다.

<64> 【수학식 4】

$$Y(n) = \sum_k (D_k^I C_k^I - D_k^Q C_k^Q) + j \sum_k (D_k^I C_k^Q + D_k^Q C_k^I)$$

<65> 여기서, $Y(n)$ 는 필터출력,

<66> D_k^I 는 I필터탭의 데이터,

<67> D_k^Q 는 Q필터탭의 데이터,

<68> C_k^I 는 I필터탭의 계수,

<69> C_k^Q 는 Q필터탭의 계수이다.

<70> 일단, 콤플렉스 채널에서는 각 단이 4탭으로 되어있기 때문에 도4의 채널 선택부(210)에서 멀티플렉서(211,212)에는 허수 데이터(Q data)가 입력되고, 멀티플렉서(213)에는 실수 데이터(I data)가 입력된다.

<71> 상기 데이터들은 도5에 도시한 탭 계수 갱신부에서 출력된 계수(Q Coef, I Coef)와 곱해져서 상호간의 덧셈이나 뺄셈이 이루어지는데 콤플렉스의 경우 덧셈기(226)에서는 뺄셈이 수행된다.

<72> 멀티플렉서(232)에서는 Q Filter Output값이 선택되고, 이 출력이 I 앞먹임 필터 출력부(230)의 출력값이 된다.

<73> 이 값에서 I 결정 지향 필터부(273)에서 출력된 값을 뺀 값이 최종 I 필터의 출력이 된다.

- <74> 이 출력은 다시 리얼 슬라이서부(240)와 콤플렉스 I 슬라이서부(250)로 각각 들어가서 리얼 결정 데이터와 에러, 그리고 콤플렉스 I 결정 데이터와 에러를 각각 발생시킨다.
- <75> 멀티플렉서(271)에서는 콤플렉스 I 슬라이서부(250)에서 콤플렉스 에러를 선택해서 이 값을 도5의 탭 계수 갱신부와 I 결정 지향 필터부(273)로 보내주고, 멀티플렉서(272)에서는 I 결정 데이터가 선택돼서 I 결정 지향 필터부(273)로 들어간다.
- <76> 마찬가지로 과정으로 Q 결정 데이터와 Q 에러도 발생된다.
- <77> 한편, 탭 계수 갱신부에서의 멀티플렉서(311,312)에는 허수 데이터(Q data)가 선택되고, 다른 멀티플렉서(313)에는 실수 데이터(I data)가 선택되며 실수 에러(I Error)와 허수 에러(Q Error)를 입력받는 멀티플렉서(361)에서는 허수 에러(Q Error)가 선택돼서 데이터와 곱해지고, 이 값은 다시 저장되어 있던 계수값과 더해져서 이 값에서 허수 데이터(Q data)와 실수 에러(I Error)를 곱한값을 뺀 값이 멀티플렉서(324)의 출력으로 선택된다.
- <78> 상기 멀티플렉서(324)에서 선택된 값이 한번 지연되어서 멀티플렉서(333)의 출력으로 선택되고, 실수 에러(I Error)와 멀티플렉서(313)의 실수 데이터(I data)가 곱해지고 이 값은 다시 저장되어 있던 계수값과 더해져서 이 값에서 Q 데이터와 Q 에러를 곱한값을 더한 값이 멀티플렉서(354)의 출력으로 선택된다.
- <79> 다음, 상기 멀티플렉서(354)에서 선택된 값이 한번 지연되어서 멀티플렉서(343)의 제2 탭 계수(I Coef2)를 출력한다.

【발명의 효과】

- <80> 이상에서 설명한 바와 같이 본 발명 리얼 및 콤플렉스 겸용 채널 등화기는 리얼과 컴플

2000/9/2

1020000006664

렉스 채널 등화기의 구성자원을 최대한 공유하여 복잡도를 최소화할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

I 데이터와 Q 데이터를 선택적으로 입력받아 출력하는 채널 선택부와; 상기 채널 선택부에서 출력된 I 데이터 또는 Q 데이터에 탭 계수를 곱하여 출력하는 계수 연산부와; 상기 계수 연산부를 통해 전송된 주신호에 대한 선행 간섭 잡음을 제거하는 앞먹임 필터 출력부와; 부호 결정부의 출력 신호에 대한 후행 간섭 신호를 생성하는 I 결정 지향 필터부와; 상기 앞먹임 필터 출력부와 I 결정 지향 필터부의 차이값을 연산하는 감산기와; 상기 감산기의 출력에서 리얼 결정 데이터와 에러를 출력하는 리얼 슬라이서부와; 상기 감산기의 출력에서 콤플렉스 I 결정 데이터와 에러를 출력하는 콤플렉스 I 슬라이서부와; 상기 계수 연산부의 출력 신호에 대한 콤플렉스 Q 결정 데이터와 에러를 출력하는 콤플렉스 Q 슬라이서부를 포함하여 구성된 것을 특징으로 하는 리얼 및 콤플렉스 겸용 채널 등화기.

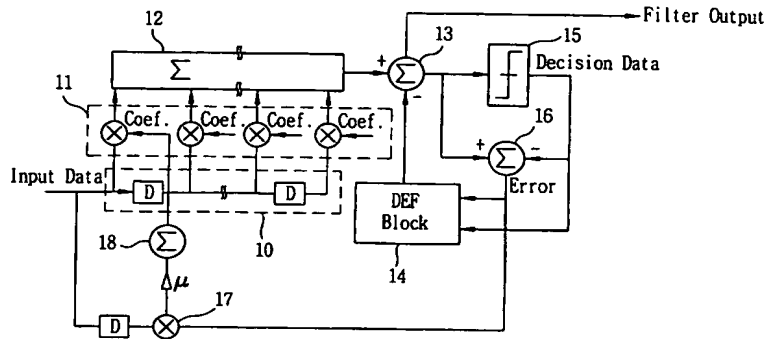
【청구항 2】

I 데이터와 Q 데이터를 입력받아 리얼 또는 콤플렉스 모드로 동작할 경우에 심볼 데이터를 선택적으로 출력하는 채널 선택부와; 리얼로 동작할 경우 실수 에러(I Error)를 입력받아 상기 채널 선택부에서 출력된 실수 데이터(I data)와의 연산에 의해 제1,2 탭 계수를 출력하고, 콤플렉스로 동작할 경우 실수 데이터(I data)와 허수 에러(Q Error)가 연산된 값에서 허수 데이터(Q data)와 실수 에러(I Error)가 연산된 값을 감산하여 탭 계수를 출력하는 제1,2 탭계수 출력부와; 리얼로 동작할 경우에 실수 에러(I Error)와 실수 데이터(I data)와의 연산에 의해 제3,4 탭 계수를 출력하고, 콤플렉스로 동작할 경우

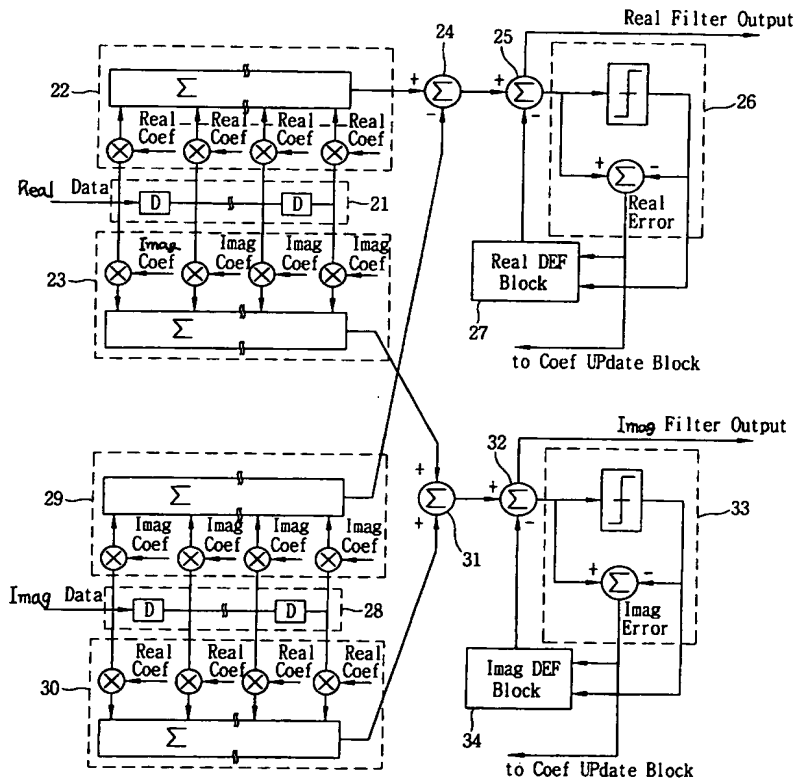
실수 데이터(I data)와 실수 에러(I Error)가 연산된 값과 허수 데이터(Q data)와 허수 에러(Q Error)가 연산된 값을 합산하여 탭 계수를 출력하는 제3,4 탭계수 출력부를 포함하여 탭 계수를 갱신하도록 구성한 것을 특징으로 하는 리얼 및 콤플렉스 겸용 채널 등화기.

【도면】

【도 1】



【도 2】



The diagram shows two parallel processing paths for Real and Imaginary coefficients.
 - **Top Path (Real):** Real Error and Real Data (via delay block 52) are inputs to summing junction 51. Its output goes to multiplier 53. The output of multiplier 53 and the output of summing junction 55 (via delay block 54) are inputs to summing junction 55. The final output is Real Coef.
 - **Bottom Path (Imaginary):** Imag Error and Imag Data (via delay block 57) are inputs to summing junction 56. Its output goes to multiplier 58. The output of multiplier 58 and the output of summing junction 60 (via delay block 59) are inputs to summing junction 60. The final output is Imag Coef.
 - **Cross-connections:** The output of multiplier 53 is also an input to summing junction 56. The output of multiplier 58 is also an input to summing junction 51.

【도 5】

